

⑫ 公開特許公報(A)

昭63-287897

⑬ Int.Cl.⁴G 09 G 3/36
G 02 F 1/133

識別記号

3 3 2

庁内整理番号

8621-5C
8708-2H

⑭ 公開 昭和63年(1988)11月24日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクス方式表示装置用駆動回路

⑯ 特 願 昭62-121204

⑰ 出 願 昭62(1987)5月20日

⑱ 発 明 者 高 清 水 聡 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 甲 展 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 発 明 者 佐 藤 剛 三 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

アクティブマトリクス方式表示装置用駆動回路

2 特許請求の範囲

1. アクティブマトリクス方式表示装置の外部から印加される映像信号をクロックに同期させて所定の時間遅延させる回路と、多段シフトレジスタ及び複数のスイッチング素子を有する点順次走査回路を複数個設け、非遅延映像信号と遅延映像信号を同時に動作する複数の点順次走査回路にそれぞれ入力し、1行の走査電極に接続された面素に対応した映像信号を水平走査周期の半分以下の時間で各列の信号電極に書き込む駆動回路の一部分である遅延回路において、遅延素子を通った遅延映像信号をローパスフィルタを通すと共に、非遅延映像信号として点順次走査回路に入力する映像信号も同一の仕様のローパスフィルタを通すことを特徴とするアクティブマトリクス方式表示装置用駆動回路。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マトリクスの様に配置したスイッチング素子と、液晶等の表示要素から成る面素を有するアクティブマトリクス方式表示装置用の駆動回路に関する。

〔従来の技術〕

アクティブマトリクス方式表示装置において、各面素に配されるスイッチング素子の速度が遅い場合、いわゆる順次駆動を行う必要があり外付駆動回路が複雑となっていた。この点を考慮した従来の表示装置は、特開昭60-12584号公報に記載の様に各面素のスイッチング素子を走査する各行走査電極を2つに分割し、その走査位相を水平走査周期のほぼ半分ずらして走査する事によりいわゆる点順次走査を行っても、各面素のスイッチング素子の動作速度が水平走査周期の半分に軽減される様になっていた。

〔発明が解決しようとする問題点〕

上記従来技術は駆動する行走査電極を左右で分割しているため、その数が2倍となり、従って行

走査電極走査回路を外付とする場合、その接続線数が2倍になるという問題があった。また、比較的動作の遅い行走査電極走査回路をアクティブマトリクス基板上に内蔵させる場合においても、その回路規模が2倍になるため、歩留まりが低下するという問題があった。

本発明の目的は、動作速度の遅いスイッチング素子を用いたアクティブマトリクス方式表示装置の駆動回路を改良し、回路規模の小さい駆動回路を提供することにある。

〔問題点を解決するための手段〕

上記目的のため、画面を水平方向に P ($P \geq 2$) 分割し、テレビ等の映像信号を各分割領域に相当する時間遅延させた信号で水平走査周期のほぼ $1/P$ の期間で同時に各分割領域の列信号電極を点順次駆動し、各画素のスイッチング素子による表示要素への書き込み期間を長くした駆動回路の一部分である遅延回路において、遅延素子の出力部にローパスフィルタを設けると共に、非遅延のまま利用する映像信号も同一の仕様のローパスフィル

タを通すことを特徴とする。

〔作用〕

画面を水平方向に P ($P \geq 2$) 分割し、テレビ等の映像信号を各分割領域に相当する時間遅延させた信号で水平走査周期のほぼ $1/P$ の期間で同時に各分割領域の列信号電極を点順次駆動し、各画素のスイッチング素子による表示要素への書き込み期間を長くする駆動回路の一部分である遅延回路において、遅延素子を通った映像信号をクロックの漏れ込み除去用のローパスフィルタに入力することにより、映像信号の遅延時間は、遅延素子による遅延時間にローパスフィルタの群遅延時間を加えたものとなる。一方、遅延回路を通さずに利用する非遅延映像信号も同一の仕様のローパスフィルタを通すことによつて、非遅延映像信号と遅延映像信号の間の相対的時間差を一定にすることができるので、非遅延映像信号と遅延映像信号の間の相対的時間差はローパスフィルタの群遅延時間の影響を受けることがなくなる。

〔実施例〕

3.

以下、本発明の第1の実施例を第1図に示し、その動作波形例である第2図を用いて説明する。尚、以降の説明では、スイッチング素子にMOSトランジスタ、表示要素に液晶を使用した例を用いるが、他の組合せの場合も同様である。

シフトレジスタ1, 2には、テレビ映像信号 V_I の水平走査周波数に同期し、表示パネル11の水平方向の画素数に相当するクロックパルス ϕ_H と、水平有効表示信号期間の丁度中央の時刻からパネル上への水平走査書き込みを開始させる信号 S_H が加えられると共に、各段の出力が容量4と共にサンプルホールド回路を形成するスイッチング素子(MOSトランジスタ)3に供給される。一方、印加映像信号 V_I を例えばCCD(電荷結合素子)等の遅延素子5により水平有効表示期間のほぼ半分の時間遅らせた後、クロック除去用ローパスフィルタ12-2を通して遅延映像信号 V_{DL} を得ると共に、 V_I を同一仕様のローパスフィルタ12-1を通して V_{IL} を得る。これらの V_{DL} と V_{IL} を前述のサンプルホールド回路は、水平有効表示期間の後半

5.

—936—

4.

(第2図中の斜線部)の時間にサンプリングするこの時、クロック成分の漏れ込み除去用のローパスフィルタ12-2として群遅延時間が例えば約100nsのものを用い表示パネル11の水平方向の表示画素数を640画素とし、遅延素子5として例えばCCDを用いると、映像信号を水平有効表示期間の半分の時間だけ遅らせるためにはサンプリングクロックとCCDのシフトクロックの周期が等しい時320段のCCDが必要であり、CCDに必要なクロックの周期は82.5nsである。しかし、該映像信号を前述のクロック成分の漏れ込み除去用のローパスフィルタ12-2を通すために、ほぼ1画素分余分に遅れることになる。また、適当な段数のCCDが得られず仮に340段のCCDを使用したとすると、映像信号を水平有効表示信号期間の半分だけ遅延させるのに必要なクロックの周期は78nsである。このCCDによつて得られた遅延映像信号を前述の例と同様のローパスフィルタに通すことによりやはり、ほぼ一面素分余分に遅れることになる。従つて、映像信号 V_{DL} と V_{IL} の相

6.

対的な時間差を一定とするため、印加映像信号 V_i もローパスフィルタ12-2と同一の仕様のローパスフィルタ12-1を通す。さらに映像信号 V_{IL} 及び V_{DL} をサンプリングした信号を、水平帰線期間及び水平有効表示信号期間の前半ホールドし、列信号電極7に印加する。すなわち、各列信号電極7は、水平有効表示信号期間の後半の時間で点順次駆動により各々に対応した映像信号が書き込まれ、その他の期間(水平帰線期間及び水平有効表示信号期間の前半)では書き込まれた信号がホールドされる。

次にシフトレジスタ6には水平走査周期のクロックパルス ϕ_v (水平走査開始信号とはほぼ同一、もしくは、やや位相の進んだパルス)と垂直同期信号を遅延させて得られる垂直走査開始信号 S_v を加え、テレビの走査線に相当する行走査電極にグートが接続されているMOSトランジスタ9をオンさせて、液晶セル10に列信号電極7にホールドされた信号電圧を加えてテレビ画像を表示するものである。尚、液晶自体やMOSトランジスタ9のオフ

・ 7 ・

がかなり遅くて良いことがわかる。具体的には、テレビのNTSC信号の場合、水平走査周期 $63.5\mu s$ の内、水平有効表示信号期間 $52.7\mu s$ の半分の $26.4\mu s$ の列信号電極書き込み期間を除いた $37.2\mu s$ で各画面の書き込みが完了できれば良いことになる。従って、例えば移動度の小さい α -Si基板をアクティブマトリクス基板として用いた場合でも、十分小さな面積でMOSトランジスタを形成できるため、歩留まりや開口率(1画面の大きさに対する有効表示面積の比)の向上に大きな効果がある。

また、行走査電極をほぼ中央で分断し液晶パネル基板の両側から接続線を出す従来の方法では、行走査電極走査線数が行走査電極数の2倍必要であったが、第1図の実施例では行走査電極数と同じですむため、垂直走査回路を外付けする場合は接続線数を半減でき、垂直走査回路を内蔵する場合でもその占有面積を半減できるので、歩留まりの向上、価格低減等に効果がある。

尚、第2図の動作波形例では、映像信号を遅延させる時間を水平有効表示信号期の半分としたが

・ 9 ・

時のリークが無視できない場合、各画面の液晶駆動電極に信号保持容量を付加すると良い。また、全ての液晶セルの片方の電極は共通に接続され、液晶を交流駆動する場合は信号電極の中点電位、直流駆動する場合は接地又は電源電位へ接続される。

第2図において、上から i 番目の行走査電極 8_i の波形を見ると、水平有効表示期間の真中で画面のMOSトランジスタをオンにする“H”レベルとなり、映像信号 V_{IL} の水平有効表示信号期間の後半(8 i の波形中、ハッチングされている期間)で、列信号電極に各々に対応した映像信号が列信号電極2本(及び各列信号電極に接続された容量)同時に点順次で書き込まれる。列信号電極に書き込まれた映像信号は、行走査電極 8_i が続いて“H”になっている間に各画面のMOSトランジスタを通して各液晶セルに書き込まれる。従って、各画面のMOSトランジスタは少なくとも水平有効表示信号期間の後半及び水平帰線期間の間に書き込み動作を完了すれば良いわけであるから、動作速度

・ 8 ・

正確に半分でなくても良い。例えば、テレビ(NTSC)信号の表示において、水平有効表示信号期間 $52.7\mu s$ を水平方向 m 画面で表示し、水平シフトレジスタ1, 2の段数をそれぞれ n 段、 $(m-n)$ 段とすると、遅延素子5の遅延時間は、

$$52.7\mu s \times \left(\frac{m-n}{m}\right)$$

で表され、各画面のMOSトランジスタに許容される書き込み時間は、

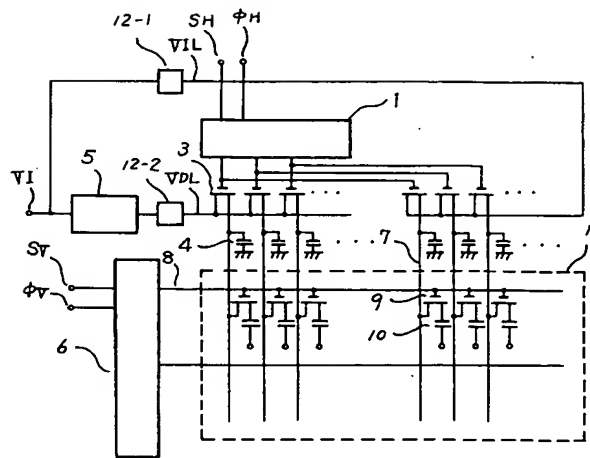
$$63.5\mu s - 52.7\mu s \times \frac{m-n}{m}$$

となる。従って、画面のMOSトランジスタの許容書き込み時間は $n=m/2$ の時最大となり、前述の様に $37.2\mu s$ となるが、例えば遅延回路の関係で遅延時間を最適の $26.4\mu s$ に設定できなくても $1 \leq n \leq m-1$ の範囲内であれば、遅延回路を用いない($m=n$, 画面分割を行わない)場合より動作速度が緩和できる。

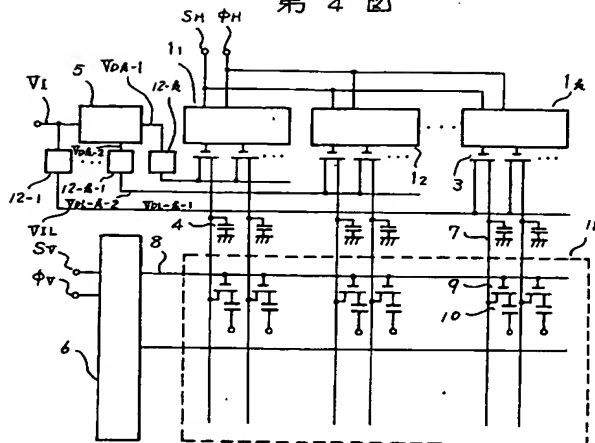
以上の説明において、シフトレジスタ1, 2は同じ動作を行うものであり、独立に設けないでどちらか段数の多い方のシフトレジスタを共用し段数の少ない方のシフトレジスタを省略することも

・ 10 ・

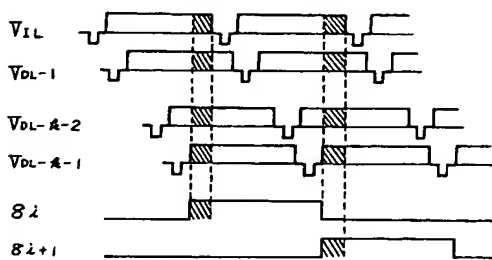
第 3 図



第 4 図



第 5 図



第 6 図

